

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-279784

(43)Date of publication of application : 27.09.2002

(51)Int.Cl.

G11C 11/413

G05F 3/24

H03K 17/22

(21)Application number : 2001-385508

(71)Applicant : HYNIX SEMICONDUCTOR INC

(22)Date of filing : 19.12.2001

(72)Inventor : SHIN YOON CHERL

(30)Priority

Priority number : 2000 200078453  
2001 200177213Priority date : 19.12.2000  
07.12.2001

Priority country : KR

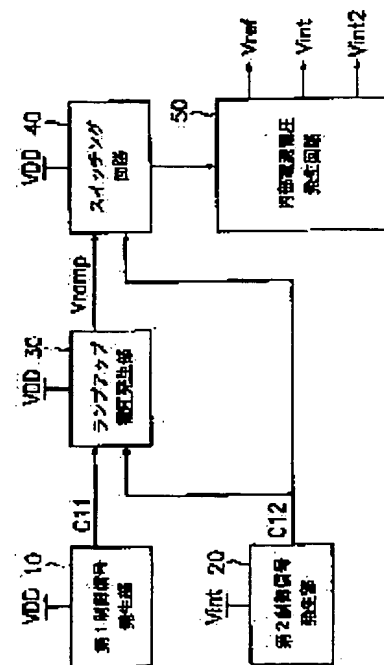
KR

## (54) INTERNAL POWER SOURCE VOLTAGE GENERATING DEVICE FOR SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an internal power source voltage generating device for a semiconductor memory device in which delay of generation of internal power source voltage is prevented by generating initial ramp-up voltage being higher than external power source of low voltage in power up operation when external power source voltage of low voltage is supplied to a semiconductor memory device.

**SOLUTION:** This device is provided with control signal generating sections 10, 20 generating first and second control signals for controlling generation of ramp-up voltage, a ramp-up voltage generating section 30 generating ramp-up voltage being higher than external power source voltage of low voltage responding to the first and the second control signals, a switching circuit 40 switched responding to the second control signal, receiving selectively ramp-up voltage and external power source voltage of low voltage, and transmitting it, and an internal power source voltage generating circuit 50 receiving selectively ramp-up voltage and external power source voltage of low voltage through the switching circuit 40, and generating a plurality of internal power source voltages.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-279784

(P2002-279784A)

(43) 公開日 平成14年9月27日 (2002.9.27)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームト* (参考)
G 1 1 C 11/413		G 0 5 F 3/24	Z 5 B 0 1 5
G 0 5 F 3/24		H 0 3 K 17/22	E 5 H 4 2 0
H 0 3 K 17/22		G 1 1 C 11/34	3 3 5 A 5 J 0 5 5

審査請求 未請求 請求項の数14 O L (全 11 頁)

(21) 出願番号 特願2001-385508(P2001-385508)

(22) 出願日 平成13年12月19日 (2001. 12. 19)

(31) 優先権主張番号 2 0 0 0 - 7 8 4 5 3

(32) 優先日 平成12年12月19日 (2000. 12. 19)

(33) 優先権主張国 韓国 (K R)

(31) 優先権主張番号 2 0 0 1 - 7 7 2 1 3

(32) 優先日 平成13年12月7日 (2001. 12. 7)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 591024111

株式会社ハイニックスセミコンダクター  
大韓民国京畿道利川市夫鉢邑牙美里山136  
- 1

(72) 発明者 申 命 ▲敬▼

大韓民国忠清北道清州市興徳区福臺洞 現  
代2次アパートメント212-808

(74) 代理人 100065215

弁理士 三枝 英二 (外10名)

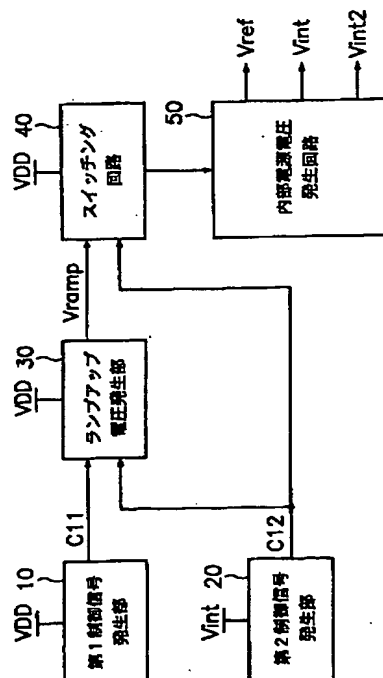
最終頁に続く

(54) 【発明の名称】 半導体メモリ素子の内部電源電圧発生装置

(57) 【要約】

【課題】 低電圧の外部電源電圧が半導体メモリ素子に供給された場合のパワーアップ動作時に、低電圧の外部電源電圧より高い初期ランプアップ電圧を生成させることにより内部電源電圧の発生の遅延を防止した、半導体メモリ素子の内部電源電圧発生装置を提供すること。

【解決手段】 ランプアップ電圧発生を制御するための第1及び第2制御信号を生成する制御信号発生部10、20、第1及び第2制御信号にตอบสนองして低電圧の外部電源電圧より高いランプアップ電圧を生成するランプアップ電圧発生部30、第2制御信号にตอบสนองしてスイッチングされ、ランプアップ電圧と低電圧の外部電源電圧を選択的に受信して伝達するスイッチング回路40、及びスイッチング回路40を介してランプアップ電圧と低電圧の外部電源電圧を選択的に受信し、複数の内部電源電圧を生成する内部電源電圧発生回路50を備えている。



## 【特許請求の範囲】

【請求項1】ランプアップ電圧の発生を制御するための第1制御信号及び第2制御信号を生成する制御信号発生手段、

前記第1制御信号及び第2制御信号にตอบสนองし、低電圧の外部電源電圧より高いランプアップ電圧を生成するランプアップ電圧発生手段、

前記第2制御信号にตอบสนองし、前記ランプアップ電圧と低電圧の外部電源電圧を選択的に受信して伝達するスイッチング手段、及び該スイッチング手段を介して、前記ランプアップ電圧と前記低電圧の外部電源電圧とを選択的に受信し、複数の内部電源電圧を生成する内部電源電圧発生回路を備えていることを特徴とする半導体メモリ素子の内部電源電圧発生装置。

【請求項2】前記制御信号発生手段が、前記低電圧の外部電源電圧を利用し、前記ランプアップ電圧の発生を制御するための前記第1制御信号を生成する第1制御信号発生部、及び前記内部電源電圧を利用し、ランプアップ電圧の発生を制御するための前記第2制御信号を生成する第2制御信号発生部で構成されていることを特徴とする請求項1に記載の半導体メモリ素子の内部電源電圧発生装置。

【請求項3】前記第1制御信号発生部が、ソースが前記低電圧の電源電圧に接続され、ゲートが自らのドレインに接続された第1トランジスタ、ソースが前記第1トランジスタのゲートとドレインに接続され、ドレインが第1ノードに接続され、ゲートが接地電圧に接続された第2トランジスタ、ソースが接地電圧に接続され、ゲートが自らのドレインに接続され、ドレインが前記第1ノードに接続された第3トランジスタ、

前記第1ノードと接地電圧との間に接続された第1キャパシタ、

前記第1ノードと第2ノードとの間に接続されたラッチ回路、

前記第2ノードと前記低電圧の電源電圧との間に接続された第2キャパシタ、及び前記第2ノードと出力端との間に接続され、前記第1制御信号を出力する複数のインバータで構成されていることを特徴とする請求項2に記載の半導体メモリ素子の内部電源電圧発生装置。

【請求項4】前記第2制御信号発生部が、ソースが前記内部電源電圧に接続され、ゲートが自らのドレインに接続された第4トランジスタ、ソースが前記第4トランジスタのゲートとドレインに接続され、ドレインが第3ノードに接続され、ゲートが接地電圧に接続された第5トランジスタ、ソースが接地電圧に接続され、ゲートが自らのドレインに接続され、ドレインが前記第3ノードに接続された第6トランジスタ、

前記第3ノードと接地電圧との間に接続された第3キャ

パシタ、

前記第3ノードと第4ノードとの間に接続されたラッチ回路、

前記第4ノードと前記内部電源電圧との間に接続された第4キャパシタ、

前記第4ノードの信号を反転させる複数のインバータ、及び前記複数のインバータの出力信号をレベルシフトさせ、前記第2制御信号を生成するレベルシフト回路で構成されていることを特徴とする請求項2に記載の半導体メモリ素子の内部電源電圧発生装置。

【請求項5】前記ランプアップ電圧発生手段が、前記第1制御信号にตอบสนองして前記ランプアップ電圧を低電圧の外部電源電圧にショートさせるスイッチング素子、

前記第2制御信号にตอบสนองして動作するオシレータ、及び前記オシレータの出力信号をポンピングさせ、前記ランプアップ電圧を前記低電圧の外部電源電圧以上に上昇させるポンプ回路で構成されていることを特徴とする請求項1に記載の半導体メモリ素子の内部電源電圧発生装置。

【請求項6】前記スイッチング素子が、ソースが前記低電圧の外部電源電圧に接続され、ゲートに前記第1制御信号が入力されるnMOSトランジスタであることを特徴とする請求項5に記載の半導体メモリ素子の内部電源電圧発生装置。

【請求項7】前記スイッチング手段が、前記第2制御信号によりスイッチングされて前記ランプアップ電圧を伝達する第1伝達ゲート、及び前記第2制御信号によりスイッチングされ、前記低電圧の外部電源電圧を伝達する第2伝達ゲートで構成されていることを特徴とする請求項1に記載の半導体メモリ素子の内部電源電圧発生装置。

【請求項8】前記スイッチング手段が、前記第2制御信号がハイレベルであれば前記ランプアップ電圧を伝達し、前記第2制御信号がローレベルであれば前記低電圧の外部電源電圧を伝達することを特徴とする請求項1に記載の半導体メモリ素子の内部電源電圧発生装置。

【請求項9】第1ランプアップ電圧の発生を制御するための第1制御信号及び第2制御信号を生成する第1制御信号発生手段、

第2ランプアップ電圧と高電圧の発生を制御するための第3制御信号を生成する第2制御信号発生手段、

前記第2制御信号と前記第3制御信号を受信して合成し、第2ランプアップ電圧と高電圧の発生を制御するための第4制御信号を生成する第3制御信号発生手段、

前記第1制御信号にตอบสนองし、前記低電圧の外部電源電圧より高い第1ランプアップ電圧を生成する第1ランプアップ電圧発生手段、

前記第2制御信号と前記第4制御信号にตอบสนองし、前記低電圧の外部電源電圧より高い第2ランプアップ電圧及び

高電圧を生成する第2ランプアップ電圧発生手段、  
前記第2制御信号によりスイッチングされ、前記第2ランプアップ電圧と前記高電圧を選択的に伝達する第1スイッチング手段、

前記第2制御信号によりスイッチングされ、前記第1及び第2ランプアップ電圧と前記低電圧の外部電源電圧を選択的に伝達する第2スイッチング手段、

前記第2スイッチング手段を介し、前記第1ランプアップ電圧及び第2ランプアップ電圧と前記低電圧の外部電源電圧を選択的に受信して、複数の内部電源電圧を発生する内部電源電圧発生回路、及び前記複数の内部電源電圧の中の1つを受信し、前記第2制御信号のレベルを決定するための第5制御信号を生成する第4制御信号発生手段を備えていることを特徴とする半導体メモリ素子の内部電源電圧発生装置。

【請求項10】前記第3制御信号発生手段が、  
前記第3制御信号を反転させる反転素子、及び前記反転素子の出力信号と前記第2制御信号とを論理和し、前記第4制御信号を生成する論理素子で構成されていることを特徴とする請求項9に記載の半導体メモリ素子の内部電源電圧発生装置。

【請求項11】前記第1ランプアップ電圧発生手段が、  
前記第1制御信号にตอบสนองして、前記低電圧の外部電源電圧より高い第1ランプアップ電圧を発生するnMOSトランジスタで構成されていることを特徴とする請求項9に記載の半導体メモリ素子の内部電源電圧発生装置。

【請求項12】前記第2ランプアップ電圧発生手段が、  
高電圧用レギュレータとポンプを専用に用いることを特徴とする請求項9に記載の半導体メモリ素子の内部電源電圧発生装置。

【請求項13】前記第1スイッチング手段が、  
前記第2制御信号を反転させる反転素子、及び前記第2制御信号及び前記反転素子の出力信号によりスイッチングされ、前記第2ランプアップ電圧と高電圧を選択的に伝達する第1及び第2伝達ゲートで構成されていることを特徴とする請求項9に記載の半導体メモリ素子の内部電源電圧発生装置。

【請求項14】前記第2スイッチング手段が、  
前記第2制御信号を反転させる反転素子、  
前記第2制御信号と前記反転素子の出力信号によりスイッチングされ、前記第1ランプアップ電圧及び第2ランプアップ電圧を選択的に伝達する第1伝達ゲート、及び前記第2制御信号と前記反転素子の出力信号によりスイッチングされ、前記低電圧の外部電源電圧を伝達する第2伝達ゲートで構成されていることを特徴とする請求項9に記載の半導体メモリ素子の内部電源電圧発生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体メモリ素子の内部電源電圧発生装置に関し、特に、低電圧の外部電源

電圧で動作する半導体メモリ素子の初期パワーアップ動作特性が改善されるように構成されている半導体メモリ素子の内部電源電圧発生装置に関する。

【0002】

【従来の技術】半導体メモリ素子に供給される外部電源には、電源電圧が通常のもの、低電圧のものがある。また、半導体メモリ素子には、外部電源に対して、内部電源電圧発生装置が設けられている。従来、低電圧の外部電源電圧が半導体メモリ素子に供給される場合、初期パワーアップ動作時に、内部電源電圧の所定のレベルへの到達が遅延して、システム全体の動作に遅延が生じ、それによりシステムが誤動作するという問題点があった。

【0003】図1は、前述の問題点を有する従来の内部電源電圧発生装置を示すブロック図である。この内部電源電圧発生装置は、通常の外部電源電圧VDD-1を利用して制御信号C0を生成する制御信号発生部1と、制御信号C0にตอบสนองして内部電源電圧Vref-1、Vint-1及びVint2-1を生成する内部電源電圧発生回路2とを備えている。

【0004】以下、図2及び図3を参照し、低電圧の外部電源電圧が半導体メモリ素子に供給される場合について、従来の内部電源電圧発生装置に生じる問題点をより詳しく説明する。

【0005】図2は、通常の外部電源電圧が半導体メモリ素子に供給される場合の初期パワーアップ動作時におけるタイミングを説明するための図であり、図3は、低電圧の外部電源電圧が半導体メモリ素子に供給される場合の初期パワーアップ動作時におけるタイミングを説明するための図である。

【0006】これらの図面で、VDD-1は通常の外部電源電圧であり、VDDは低電圧の外部電源電圧、Vref-1はVDD-1が供給されて生成される内部電源用基準電圧、VrefはVDDが供給されて生成される内部電源用基準電圧、Vint-1はVref-1を基準に生成される1次内部電源電圧、VintはVrefを基準に生成される1次内部電源電圧、Vint2-1はVint-1が供給されて生成される2次内部電源電圧で、Vint2はVintが供給されて生成される2次内部電源電圧である。符号AとBについては、Aは1次内部電源電圧VintおよびVint-1が、Bは2次内部電源電圧Vint2およびVint2-1が目標電圧レベルに到達する時点を示している。

【0007】図2に示されているように、通常の外部電源電圧が半導体メモリ素子に供給される場合には、初期パワーアップ動作時に、2次内部電源電圧Vint2-1が目標電圧レベルに到達するまでの時間（時点B）が、t2（2次内部電源電圧が目標電圧レベルに到達するまでの時間に対するスペック値）より短く、内部電源電圧の発生には遅れがない。

【0008】一方、図3に示されているように、低電圧の外部電源電圧が半導体メモリ素子に供給される場合には、初期パワーアップ動作時に、低電圧であることに起因して、まず、内部電源用基準電圧 $V_{ref}$ に遅延が発生する。そのために、1次内部電源電圧 $V_{int1}$ 及び2次内部電源電圧 $V_{int2}$ の目標の電圧レベルへの到達に遅延が生じる。

【0009】すなわち、1次内部電源電圧 $V_{int1}$ が目標電圧レベルに到達するまでの時間（時点A）が $t_1$

（1次内部電源電圧が目標電圧レベルに到達するまでの時間に対するスペック値）より遅く、さらに、2次内部電源電圧 $V_{int2}$ が目標電圧レベルに到達するまでの時間（時点B）が、スペック値である $t_2$ より遅くなっている。

【0010】

【発明が解決しようとする課題】本発明は、前述の従来の問題点を解決するためになされたもので、低電圧の外部電源電圧が半導体メモリ素子に供給される場合の初期パワーアップ動作時に、低電圧の外部電源電圧より高いランプアップ電圧を生成させることにより、内部電源における電圧の発生を遅延を防止した、半導体メモリ素子の内部電源電圧発生装置を提供することを目的としている。

【0011】

【課題を解決するための手段】本発明に係る半導体メモリ素子の内部電源電圧発生装置は、ランプアップ電圧発生を制御するための第1制御信号及び第2制御信号を生成する制御信号発生手段、前記第1制御信号及び第2制御信号にตอบสนองして、低電圧の外部電源電圧より高いランプアップ電圧を生成するランプアップ電圧発生手段、前記第2制御信号にตอบสนองして前記ランプアップ電圧及び前記低電圧の外部電源電圧を選択的に受信して伝達するスイッチング手段、及び該スイッチング回路を介して、前記ランプアップ電圧と前記低電圧の外部電源電圧とを選択的に受信し、複数の内部電源電圧を生成する内部電源電圧発生回路を備えていることを特徴とする。

【0012】さらに、本発明に係る半導体メモリ素子の内部電源電圧発生装置は、第1ランプアップ電圧の発生を制御するための第1制御信号及び第2制御信号を発生する第1制御信号発生手段、第2ランプアップ電圧と高電圧の発生を制御するための第3制御信号を生成する第2制御信号発生手段、前記第2制御信号と前記第3制御信号を受信して合成し、第2ランプアップ電圧と高電圧の発生を制御するための第4制御信号を生成する第3制御信号発生手段、前記第1制御信号にตอบสนองして、前記低電圧の外部電源電圧より高い第1ランプアップ電圧を生成する第1ランプアップ電圧発生手段、前記第2制御信号と前記第4制御信号にตอบสนองして前記低電圧の外部電源電圧より高い第2ランプアップ電圧及び高電圧を生成する第2ランプアップ電圧発生手段、前記第2制御信号に

よりスイッチングされて、前記第2ランプアップ電圧と前記高電圧を選択的に受信する第1スイッチング手段、前記第2制御信号によりスイッチングされて、前記第1ランプアップ電圧及び第2ランプアップ電圧と前記低電圧の外部電源電圧を選択的に受信する第2スイッチング手段、前記第2スイッチング部を介して、前記第1ランプアップ電圧及び第2ランプアップ電圧と前記低電圧の外部電源電圧を選択的に受信し、複数の内部電源電圧を発生する内部電源電圧発生回路及び前記複数の内部電源電圧の中の1つを受信し、前記第2制御信号のレベルを決定するための第5制御信号を生成する第4制御信号発生手段を備えていることを特徴とする。

【0013】

【発明の実施の形態】以下、図面を参照し、本発明の好ましい実施の形態に係る半導体メモリ素子の内部電源電圧発生装置を詳しく説明する。

【0014】図4は、低電圧の外部電源電圧が半導体メモリ素子に供給された場合の初期パワーアップ動作時に、低電圧の外部電源電圧より高い新たな内部電源電圧（以下、ランプアップ電圧： $V_{ramp}$ と記す）を生成させることにより、内部電源電圧の目標電圧レベルへの到達の遅延を防ぐことができるようにした、第1の実施の形態に係る半導体メモリ素子の内部電源電圧発生装置の構成を示すブロック図である。

【0015】図4に示す第1の実施の形態に係る内部電源電圧発生装置は、第1制御信号発生部10及び第2制御信号発生部20、ランプアップ電圧発生部30、スイッチング回路40及び内部電源電圧発生回路50を備えている。

【0016】ここで、第1制御信号発生部10は、低電圧の外部電源電圧 $V_{DD}$ を利用してランプアップ電圧 $V_{ramp}$ の発生を制御するための第1制御信号 $C_{11}$ を生成し、第2制御信号発生部20は、内部電源電圧 $V_{int}$ を利用してランプアップ電圧 $V_{ramp}$ の発生を制御するための第2制御信号 $C_{12}$ を生成する。ランプアップ電圧発生部30は、第1制御信号 $C_{11}$ 及び第2制御信号 $C_{12}$ にตอบสนองして、低電圧の外部電源電圧 $V_{DD}$ より高いランプアップ電圧 $V_{ramp}$ を生成する。スイッチング回路40は、第2制御信号 $C_{12}$ による制御下で、ランプアップ電圧 $V_{ramp}$ 又は低電圧の外部電源電圧 $V_{DD}$ を伝達する。内部電源電圧発生回路50は、スイッチング回路40からランプアップ電圧 $V_{ramp}$ と低電圧の外部電源電圧 $V_{DD}$ とを選択的に受信し、内部電源用基準電圧 $V_{ref}$ 、1次内部電源電圧 $V_{int1}$ 及び2次内部電源電圧 $V_{int2}$ を生成する。

【0017】以下、図5～図8を参照し、図4に示した各構成部について詳細に説明する。

【0018】図5に示した第1制御信号発生部10に係る回路図において、pMOSTランジスタ $P_{11}$ （第1トランジスタ）は、ソースが低電圧の電源電圧 $V_{DD}$ に

接続され、ゲートが自らのドレインに接続されている。pMOSトランジスタP12（第2トランジスタ）は、ソースがpMOSトランジスタP11のゲートとドレインに接続され、ゲートが接地電圧 $V_{ss}$ に接続されている。nMOSトランジスタN11（第3トランジスタ）は、ソースが接地電圧 $V_{ss}$ に接続され、ゲートが自らのドレインに接続され、ドレインがpMOSトランジスタP12のドレインに接続されている。nMOSキャパシタC11（第1キャパシタ）は、ノードSN1（第1ノード）と接地電圧 $V_{ss}$ との間に接続されており、ラッチ回路11は、ノードSN1とノードSN2（第2ノード）との間に接続されている。pMOSキャパシタC12（第2キャパシタ）は、ノードSN2と低電圧の電源電圧VDDとの間に接続されている。

【0019】インバータIV12とインバータIV13は、ノードSN2と出力端との間に接続されており、ノードSN2の信号を反転させて第1制御信号C11を出力する。ここで、ラッチ回路11は、ノードSN1の信号を反転させるインバータIV11と、ソースが低電圧の電源電圧VDDに接続され、ドレインがノードSN1に接続され、ゲートにインバータIV11の出力信号が入力されるpMOSトランジスタP13とで構成されている。

【0020】図6に示した第2制御信号発生部20に係る回路図において、pMOSトランジスタP14（第4トランジスタ）は、ソースが内部電源電圧 $V_{int}$ に接続され、ゲートが自らのドレインに接続されている。pMOSトランジスタP15（第5トランジスタ）は、ソースがpMOSトランジスタP14のゲートとドレインに接続され、ゲートが接地電圧 $V_{ss}$ に接続されている。nMOSトランジスタN12（第6トランジスタ）は、ソースが接地電圧 $V_{ss}$ に接続され、ゲートが自らのドレインに接続され、ドレインがpMOSトランジスタP15のドレインに接続されている。nMOSキャパシタC13（第3キャパシタ）は、ノードSN3（第3ノード）と接地電圧 $V_{ss}$ との間に接続されている。

【0021】ラッチ回路21は、ノードSN3とノードSN4（第4ノード）との間に接続されている。pMOSキャパシタC14（第4キャパシタ）は、ノードSN4と内部電源電圧 $V_{int}$ との間に接続されている。インバータIV15、IV16は、ノードSN4の信号を反転させて出力し、レベルシフト回路22は、インバータIV16の出力信号をレベルシフトさせて第2制御信号C12を生成する。ここで、ラッチ回路21は、ノードSN3の信号を反転させるインバータIV14と、ソースが内部電源電圧 $V_{int}$ に接続されて、ドレインがノードSN4に接続され、ゲートにインバータIV14の出力信号が入力されるpMOSトランジスタP16とで構成されている。

【0022】次に、図7に示したランプアップ電圧発生

部30に係る回路は、ソースが低電圧の外部電源電圧VDDに接続され、ドレインが出力端に接続され、ゲートに第1制御信号発生部10から出力された第1制御信号C11が入力されるnMOSトランジスタN13と、第2制御信号C12に応答して動作するオシレータ31と、オシレータ31からの出力信号をボンピングさせてランプアップ電圧 $V_{ramp}$ を生成するポンプ回路32とで構成されている。

【0023】ここで、nMOSトランジスタN13は、初期にハイレベルの第1制御信号C11によりターンオンされ、ランプアップ電圧 $V_{ramp}$ が低電圧の外部電源電圧VDDと同じになるように、ランプアップ電圧 $V_{ramp}$ を低電圧の外部電源電圧VDDにショートさせる。第1制御信号C11がハイレベルである区間では、第2制御信号C12もハイレベルであるが、低電圧の外部電源電圧VDDが低いためにオシレータ31とポンプ回路32が正常に動作することができない状態では、ランプアップ電圧 $V_{ramp}$ は $VDD - V_t$ （ $V_t$ : nMOSトランジスタN13のしきい値電圧）に維持される。

【0024】次に、低電圧の外部電源電圧VDDがある程度上昇すると、オシレータ31とポンプ回路32が正常な動作を開始し、第1制御信号C11はローレベルとなって、nMOSトランジスタN13がターンオフされる。それによって、ランプアップ電圧 $V_{ramp}$ は、オシレータ31とポンプ回路32の動作により、低電圧の外部電源電圧VDD以上に上昇するようになる。ただし、第2制御信号C12がローレベルになると、オシレータ31とポンプ回路32が動作を中止するので、ランプアップ電圧 $V_{ramp}$ は接地電圧のレベルとなる。

【0025】次に、図8に示したスイッチング回路40は、第2制御信号発生部20で発生した第2制御信号C12を反転させるインバータIV17と、第2制御信号C12及びインバータIV17の出力信号の制御下でスイッチングされ、ランプアップ電圧 $V_{ramp}$ を受信する第1スイッチング素子SW11（第1伝達ゲート）と低電圧の電源電圧VDDを受信する第2スイッチング素子SW12（第2伝達ゲート）とで構成されている。

【0026】このような構成を有するスイッチング回路40は、制御信号C12がハイレベルであればランプアップ電圧 $V_{ramp}$ を受信して伝達し、制御信号C12がローレベル（即ち、ランプアップ電圧 $V_{ramp}$ が接地電圧のレベル）であれば電源電圧VDDを受信して伝達する。

【0027】次に、図4に示した内部電源電圧発生回路50は、スイッチング回路40から、パワーアップ時にランプアップ電圧 $V_{ramp}$ を受信し、内部電源電圧 $V_{ref}$ 、 $V_{int}$ 、 $V_{int2}$ を生成する。

【0028】このように、ランプアップ電圧 $V_{ramp}$ を利用して、内部電源電圧 $V_{ref}$ 、 $V_{int}$ 、 $V_{int2}$

$t_2$ を生成させることにより、低電圧であることに起因する遅延を防止することができる。

【0029】図9は、低電圧の外部電源電圧VDDが半導体メモリ素子に供給される場合の初期パワーアップ動作時に、低電圧の外部電源電圧VDDとランプアップ電圧Vrampとが生成されるタイミングを説明するための図である。

【0030】先ず、図9で、VDDは低電圧の外部電源電圧であり、VrampはVDDを利用して生成されたランプアップ電圧、VrefはVrampが供給されて生成された内部電源用基準電圧、VintはVrefを基準に生成された1次内部電源電圧、Vint2はVintが供給されて生成された2次内部電源電圧である。

【0031】符号A、B及びCについては、Aは1次内部電源電圧Vint、Bは2次内部電源電圧Vint2がそれぞれ目標電圧レベルに到達した時点を示しており、Cはオーバーシュート区間を示している。この区間では、VintでVint2を生成するときに発生する遅延を防止することができる。図9に示されているように、低電圧の外部電源電圧VDDが半導体メモリ素子に供給される場合のパワーアップ動作時に、低電圧の外部電源電圧VDDより高いランプアップ電圧Vrampを生成させて、内部電源用基準電圧Vrefを発生させる。このVrefを基準として1次内部電源電圧Vint、さらに1次内部電源電圧Vintを基準として2次内部電源電圧Vint2を発生させることにより、目標電圧レベルへの到達時間スเปック値( $t_2$ )以内で、2次内部電源電圧Vint2を目標の電圧レベルに到達させられることが分かる。

【0032】ここで、 $t_1$ は1次内部電源電圧Vintが目標電圧レベルに到達するまでの時間に対するスเปック値であり、 $t_2$ は2次内部電源電圧Vint2が目標電圧レベルに到達するまでの時間に対するスเปック値である。

【0033】図10は、図4に示した内部電源電圧発生装置における主要な信号に関するタイミングを説明するための図である。図10には、第1制御信号C11は一定で、第2制御信号C12は初期が高く、一定時間経過後、ローレベルになることが示されている。このような第1制御信号等C11及び第2制御信号等C12を利用して、低電圧の外部電源電圧VDDより高いランプアップ電圧Vrampを生成し、さらにこのランプアップ電圧Vrampを利用して内部電源電圧Vref、Vint、Vint2を生成することにより、外部電源電圧が低いことに起因する目標電圧レベルに到達するまでの時間の遅延を防止することができる。

【0034】図11は、好ましい第2の実施の形態に係る半導体メモリ素子の内部電源電圧発生装置の構成を示すブロック図である。第1～第4制御信号発生部100、200、300、900、第1ランプアップ電圧発

生部400、第2ランプアップ電圧発生部500、第1スイッチング回路600、第2スイッチング回路700及び内部電源電圧発生回路800を備えている。

【0035】ここで、第1制御信号発生部100は、第1ランプアップ電圧の発生を制御するための第1制御信号C1及び第2制御信号C2を生成し、第2制御信号制御部200は、第2ランプアップ電圧と高電圧の発生を制御するための第3制御信号C3を生成し、第3制御信号発生部300は、第2制御信号C2と第3制御信号C3を受信して合成し、第4制御信号C4を生成する。第1ランプアップ電圧発生部400は、低電圧の外部電源電圧VDDを受信し、第1制御信号C1に応答して低電圧の外部電源電圧VDDより高い第1ランプアップ電圧Vramp1を生成し、第2ランプアップ電圧発生部500は、低電圧の外部電源電圧VDDを受信し、第2制御信号C2及び第4制御信号C4に応答して、低電圧の外部電源電圧VDDより高い第2ランプアップ電圧Vramp2及び高電圧を生成する。

【0036】第1スイッチング回路600は、第2制御信号C2によりスイッチングされて第2ランプアップ電圧Vramp2及び高電圧Vppを選択的に受信し、第2スイッチング回路700は、第2制御信号C2によりスイッチングされ、第1ランプアップ電圧Vramp1及び第2ランプアップ電圧Vramp2と低電圧の外部電源電圧VDDを選択的に受信して伝達する。

【0037】内部電源電圧発生回路800は、第2スイッチング回路700から、第1及び第2ランプアップ電圧Vramp1、Vramp2と低電圧の外部電源電圧VDDを選択的に受信し、内部電源用基準電圧Vref、1次内部電源電圧Vint及び2次内部電源電圧Vint2を発生する。

【0038】第4制御信号発生部900は、内部電源電圧発生回路800から2次内部電源電圧Vint2を受信し、第2制御信号C2のレベルを定めるための第5制御信号C5を発生する。

【0039】ここで、第2ランプアップ電圧発生部500には高電圧用レギュレータ及びポンプを専用に用い、第4制御信号発生部900には電圧感知回路及び遅延回路を用いる。

【0040】図12は、図11に示した第3制御信号発生部300の回路図である。この回路は、第2制御信号発生部200から受信した第3制御信号C3を受信して反転させるインバータIV1と、第1制御信号発生部100から受信した第2制御信号C2とインバータIV1の出力信号とを論理和し、第4制御信号を発生するノアゲートNR1とで構成されている。

【0041】このような構成を有する第3制御信号発生部300において、第4制御信号C4は、第2制御信号C2がハイレベルである場合にはローレベルにディスエーブルされ、第2制御信号C2がローレベルである場合



には第3制御信号C3のレベルに従って動作する。

【0042】次に、第1及び第2ランプアップ電圧発生部400、500の構成と動作を説明する。

【0043】図13は、図11に示した第1ランプアップ電圧発生部400の回路図である。この回路は、ソースが低電圧の外部電源電圧VDDに接続され、ゲートに第1制御信号発生部100から出力された第1制御信号C1が入力されるnMOSトランジスタN1で構成され、nMOSトランジスタN1はローレベルのしきい値電圧( $V_t$ )を有する。

【0044】このような構成を有する第1ランプアップ電圧発生部400は、第1制御信号C1の制御の下に、低電圧の外部電源電圧VDDを利用して低電圧の外部電源電圧VDDより高い第1ランプアップ電圧Vramp1を生成する。即ち、第1ランプアップ電圧発生部400は、ハイレベルの第1制御信号C1に応答し、低電圧の外部電源電圧VDDを利用して第1ランプアップ電圧Vramp1を生成し、一定時間が経過して第1制御信号C1がローレベルになると、第1ランプアップ電圧発生部400をディスエーブルさせる。

【0045】なお、図11に示した第2ランプアップ電圧発生部500は、ハイレベルの第2制御信号C2とローレベルの第4制御信号C4を受信すると、イネーブルされた状態になり、低電圧の外部電源電圧VDDが高くなって回路内のしきい値電圧( $V_t$ )を超えたときに本格的に動作し、低電圧の外部電源電圧VDDより高い第2ランプアップ電圧Vramp2を生成する。発生した第2ランプアップ電圧Vramp2は、第1スイッチング回路600及び第2スイッチング回路700を介して内部電源電圧発生回路800に供給される。逆に、第2ランプアップ電圧発生部500が、ローレベルの第2制御信号C2とハイレベルの第4制御信号C4を受信すると高電圧Vppを生成し、生成された高電圧Vppは、第1スイッチング回路600を介して高電圧発生回路VPPに供給される。

【0046】次に、第1及び第2スイッチング回路600、700の構成と動作を説明する。

【0047】図14は、図11に示した第1スイッチング回路600の回路図である。この回路は、第1制御信号発生部100から受信した第2制御信号C2を反転させるインバータIV2と、第2制御信号C2及びインバータIV2の出力信号によりスイッチングされ、第2ランプアップ電圧Vramp2及び高電圧Vppを受信して伝達する第1スイッチング素子SW1及び第2スイッチング素子SW2とで構成されている。

【0048】このような構成を有する第1スイッチング回路600は、ハイレベルの制御信号C2を受信すると、第2ランプアップ電圧Vramp2をノード1に供給し、ローレベルの制御信号C2を受信すると、高電圧Vppを高電圧発生回路VPPに供給する。

【0049】図15は、図11に示した第2スイッチング回路700の回路図である。この回路は、第2制御信号C2を反転させるインバータIV3と、第2制御信号C2及びインバータIV3の出力信号によりスイッチングされ、第1ランプアップ電圧Vramp1及び第2ランプアップ電圧Vramp2を受信して伝達する第3スイッチング素子SW3と、第2制御信号C2及びインバータIV3の出力信号によりスイッチングされ、低電圧の外部電源電圧VDDを受信して伝達する第4スイッチング素子SW4とで構成されている。このような構成を有する第2スイッチング回路700は、低電圧の外部電源電圧VDDより高い第1ランプアップ電圧Vramp1及び第2ランプアップ電圧Vramp2を内部電源電圧発生回路800に供給する。

【0050】内部電源電圧発生回路800は、第2スイッチング回路700から、パワーアップ時に、第1ランプアップ電圧Vramp1及び第2ランプアップ電圧Vramp2を受信し、内部電源電圧Vref、Vint、Vint2を生成する。これにより、低電圧であることに起因する遅延が防止される。なお、第1ランプアップ電圧Vramp1は低電圧の外部電源電圧VDDより低いが、第2ランプアップ電圧Vramp2を速やかに上昇させるために、一定の電圧、即ちVDD- $V_t$ で生成される電圧である。また、 $V_t$ は、図13に示したnMOSトランジスタ(N1)のしきい値電圧である。

【0051】次に、図11に示した第4制御信号発生部900について説明する。第4制御信号発生部900は、内部電源電圧発生回路800から2次内部電源電圧Vint2を受信してそのレベルを感知し、一定の遅延時間後に第5制御信号C5を生成して、それを第1制御信号発生部100に出力する。このような第4制御信号発生部900で発生した第5制御信号C5は、第2制御信号C2のレベルを決定する。

【0052】図16は、低電圧の外部電源電圧VDDが、半導体メモリ素子に供給される場合の初期パワーアップ動作時に、低電圧の外部電源電圧VDDと、これにより第1ランプアップ電圧Vramp1及び第2ランプアップ電圧Vramp2が生成されるタイミングを説明するための図である。

【0053】図16において、VDDは低電圧の外部電源電圧であり、Vramp1、Vramp2はVDDを利用して生成されたランプアップ電圧、VrefはVramp1、Vramp2を基にして生成された内部電源用基準電圧、VintはVrefを基準に生成された1次内部電源電圧、Vint2はVintを基準にして生成された2次内部電源電圧である。符号AとBは、1次内部電源電圧Vint及び2次内部電源電圧Vint2が目標電圧レベルに到達した時点を示している。符号Cはオーバーシュート区間を示しており、この区間ではVintでVint2が生成されるときに発生する遅延を

防止することができる。符号Dは、第1ランプアップ電圧Vramp1がディスエーブルされて、第2ランプアップ電圧Vramp2に切り替えられた時点を示している。

【0054】図16に示されているように、低電圧の外部電源電圧が半導体メモリ素子に供給される場合のパワーアップ動作時に、低電圧の外部電源電圧VDDより高い第1ランプアップ電圧Vramp1及び第2ランプアップ電圧Vramp2を生成して、内部電源用基準電圧Vrefを発生させ、この内部電源用基準電圧Vrefを基準として1次内部電源電圧Vintを発生させる。さらに、1次内部電源電圧Vintを基準として、2次内部電源電圧Vint2を、目標電圧レベル到達時間(t2)以内に、目標電圧レベルに到達させられることが分かる。なお、t1は低電圧の外部電源電圧VDDが目標電圧レベルに到達するまでの時間に対するスペック値であり、t2は2次内部電源電圧Vint2が目標電圧レベルに到達するまでの時間に対するスペック値である。

【0055】図17は、図11に示した主要な信号に関するタイミングを説明するための図である。図17に示されているように、第2制御信号C2は、Vint2のレベルが目標レベルに到達した後、一定の時間経過後にローレベルとなる。このような第1～第5制御信号C1、C2、C3、C4及びC5を利用して、低電圧の外部電源電圧VDDより高い第1ランプアップ電圧Vramp1及び第2ランプアップ電圧Vramp2を生成させ、これらのVramp1、Vramp2を利用して内部電源電圧を発生させることにより、低電圧であることに起因する遅延を防止することができる。

【0056】なお、本発明について、好ましい実施の形態を基に説明したが、これらの実施の形態は、例を示すことを目的として開示したものであり、当業者であれば、本発明に係る技術思想の範囲内で、多様な改良、変更、付加等が可能である。このような改良、変更等も、特許請求の範囲に記載した本発明の技術的範囲に属することは言うまでもない。

【0057】

【発明の効果】上述のように、本発明は低電圧の外部電源電圧が半導体メモリ素子に供給される場合の初期パワーアップ動作時に、供給された低電圧の外部電源電圧より高いランプアップ電圧を利用して、内部電源用基準電圧Vrefを目標電圧レベル到達時間t1内に発生させ、この内部電源用基準電圧Vrefを利用して1次内部電源電圧Vint及び2次内部電源電圧Vint2を目標電圧レベル到達時間t2内に生成させることにより、低電圧に伴う遅延を防止することができる。これにより、システム全体をより安定的に動作させることができるようになる。

【図面の簡単な説明】

【図1】従来技術に係る半導体メモリ素子の内部電源電圧発生装置構成を示すブロック図である。

【図2】従来の技術に係る、通常の外部電源電圧が、半導体メモリ素子に供給される場合の初期パワーアップ動作時のタイミングを説明するための図である。

【図3】低電圧の外部電源電圧が、半導体メモリ素子に供給される場合の初期パワーアップ動作時のタイミングを説明するための図である。

【図4】本発明の第1の実施の形態に係る半導体メモリ素子の内部電源電圧発生装置の構成を示すブロック図である。

【図5】図4に示した第1制御信号発生部の回路図である。

【図6】図4に示した第2制御信号発生部の回路図である。

【図7】図4に示したランプアップ電圧発生部の回路図である。

【図8】図4に示したスイッチング回路の回路図である。

【図9】本発明に係る低電圧の外部電源電圧が、半導体メモリ素子に供給される場合の初期パワーアップ動作時に、低電圧の外部電源電圧とランプアップ電圧とが生成されるタイミングを説明するための図である。

【図10】図4に示した内部電源電圧発生装置における主要な信号に関するタイミングを説明するための図である。

【図11】本発明の好ましい第2の実施の形態に係る半導体メモリ素子の内部電源電圧発生装置の構成を示すブロック図である。

【図12】図11に示した第3制御信号発生部の回路図である。

【図13】図11に示した第1ランプアップ電圧発生部の回路図である。

【図14】図11に示した第1スイッチング回路の回路図である。

【図15】図11に示した第2スイッチング回路の回路図である。

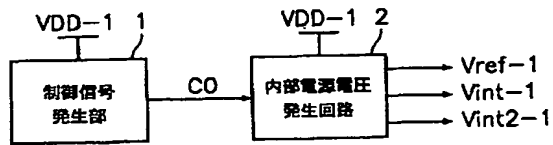
【図16】本発明の好ましい第2の実施の形態に係る低電圧の外部電源電圧が、半導体メモリ素子に供給される場合の初期パワーアップ動作時のタイミングを説明するための図である。

【図17】図11に示した主要な信号に関するタイミングを説明するための図である。

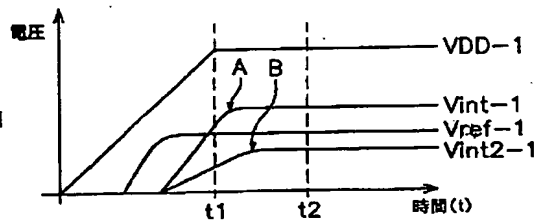
【符号の説明】

1、10、20、100、200、300、900 制御信号発生部  
30、400、500 ランプアップ電圧発生部  
40、600、700 スwitching回路  
2、59、800 内部電源電圧発生回路

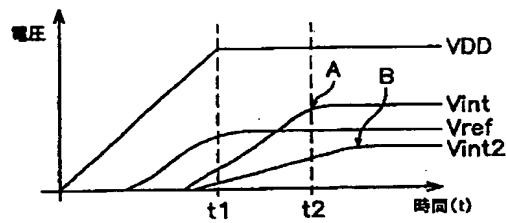
【図 1】



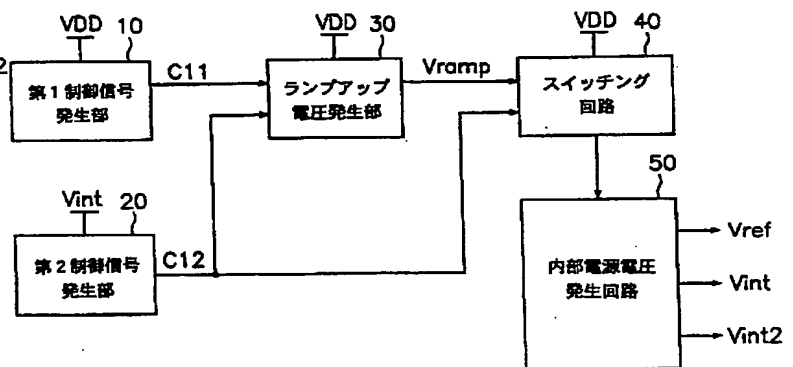
【図2】



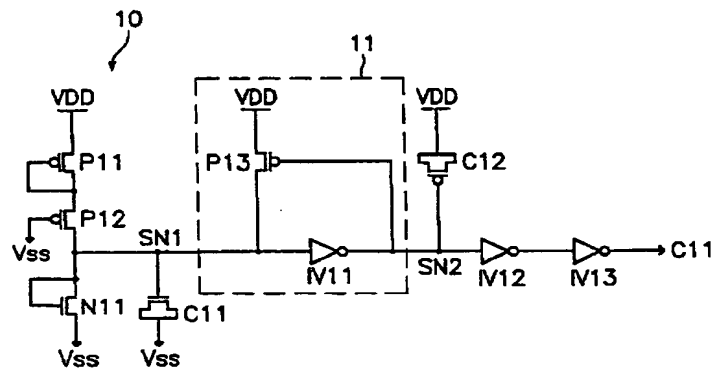
【図3】



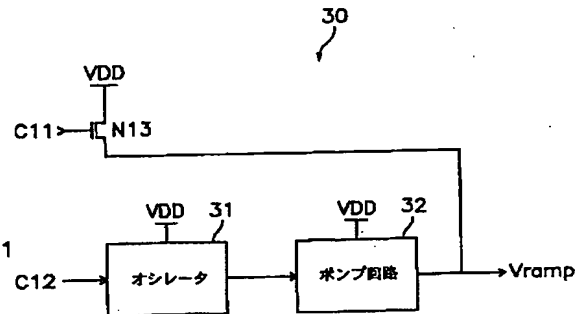
【図4】



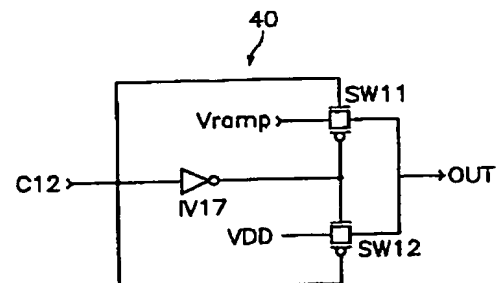
【図5】



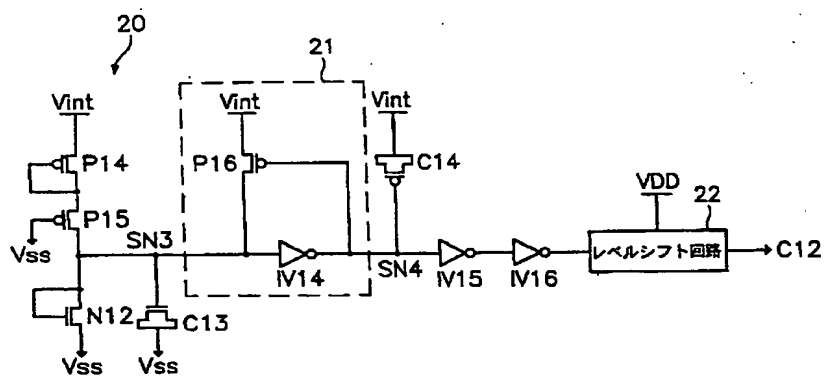
【図 7】



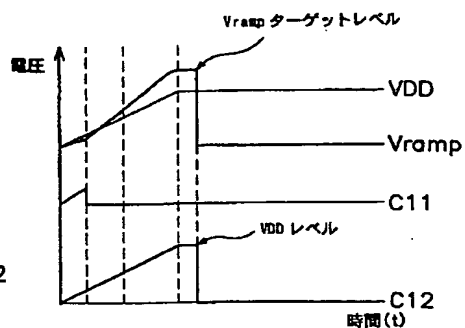
【図8】



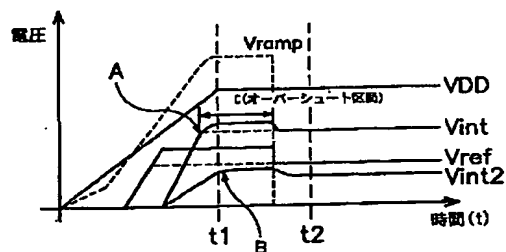
【図6】



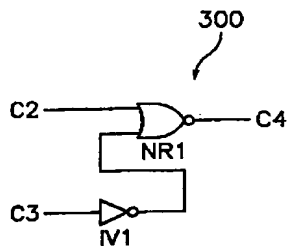
【図10】



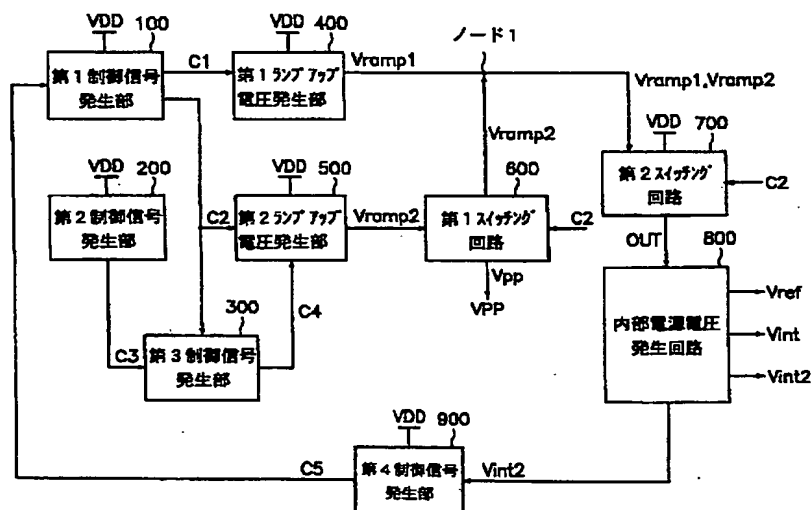
【図9】



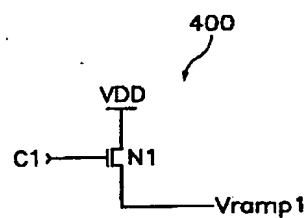
【図12】



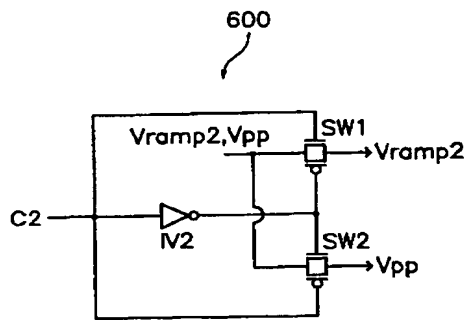
【図 1 1】



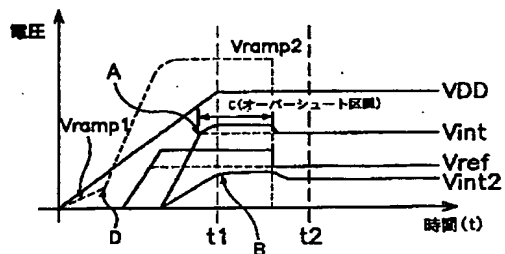
【图 13】



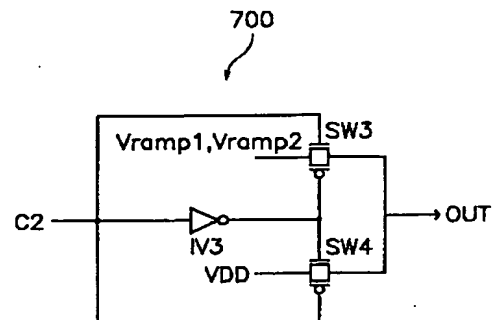
【図14】



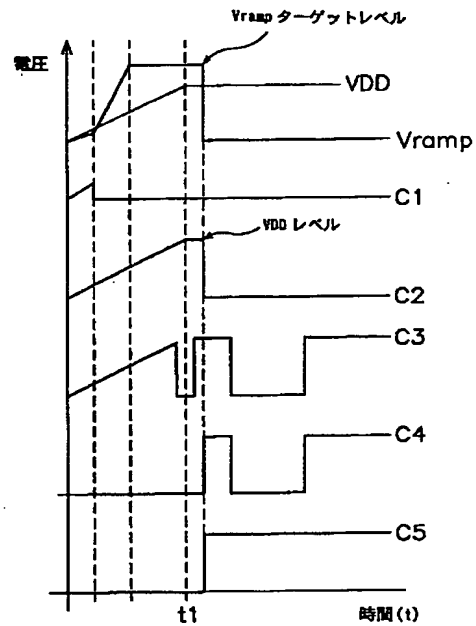
【図16】



【図15】



【図17】



フロントページの続き

Fターム(参考) 5B015 HH05 JJ02 JJ25 KB62 KB74  
QQ01  
5H420 NA03 NA16 NA27 NA38 NB02  
NB25 NB37 NC14 NC38 NE04  
5J055 AX37 AX49 AX57 BX41 CX27  
DX22 EX07 EY25 EZ29 FX05  
GX01 GX02